

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **63000142 A**

(43) Date of publication of application: **05.01.88**

(51) Int. Cl.

H01L 21/88

H01L 21/94

(21) Application number: **61143567**

(22) Date of filing: **19.06.86**

(71) Applicant: **TOSHIBA CORP**

(72) Inventor: **SHIMOMURA KOJI
HAZUKI RIYOUICHI**

(54) **MANUFACTURE OF SEMICONDUCTOR DEVICE**

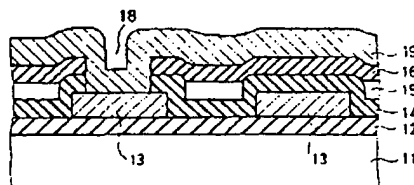
corrosion of the wiring layer 19.

(57) Abstract:

COPYRIGHT: (C)1988,JPO&Japio

PURPOSE: To prevent the contact of an SOG film and a wiring layer by previously etching the spin-on glass SOG film until one part of a first insulating film is exposed as the pre-process of the formation of a second insulating film.

CONSTITUTION: A first insulating film 14 is formed onto a semiconductor substrate 11 on which wiring layers 13 are shaped, an SOG film 15 is applied onto the first insulating film 14 and the surface of the film 15 is flattened, the SOG film 15 is etched up to its midway until the first insulating film 14 on the wiring layers 13 is exposed and a second insulating film 16 is shaped onto the first insulating film 14 and the SOG film 15, and the second and first insulating films 16, 14 on the wiring layers are etched selectively to form a contact hole 18. Consequently, there is no SOG film 15 on the first wiring layers 13. Accordingly, even when the contact hole 18 is shaped to the insulating films 14, 16 on the first wiring layers 13, the wiring-layer SOG film 15 and a wiring layer 19 are not brought into contact in the contact hole 18 section, thus preventing the



⑧ 日本国特許庁(J P)

⑩ 特許出願公開

⑨ 公開特許公報(A) 昭63-142

⑥ Int. Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和63年(1988)1月5日

H 01 L 21/88
21/94

6708-5F
6708-5F

審査請求 未請求 発明の数 1 (全4頁)

④ 発明の名称 半導体装置の製造方法

⑦ 特 願 昭61-143567

⑧ 出 願 昭61(1986)6月19日

⑥ 発 明 者 下 村 幸 二 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

⑥ 発 明 者 巴 月 良 一 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

⑥ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑥ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(I) 絶縁層が形成された半導体基板上に第1の絶縁層を形成する工程と、上記第1の絶縁層上にスピノングラス膜を形成する工程と、次いで前記第1の絶縁層が露出するまで上記スピノングラス膜をその途中までエッチングする工程と、次いで前記第1の絶縁層及びスピノングラス膜上に第2の絶縁層を形成する工程と、次いで前記絶縁層上で前記第2及び第1の絶縁層を逐次的にエッチングしてコンタクトホールを形成する工程とを含むことを特徴とする半導体装置の製造方法。

(II) 前記スピノングラス膜をその途中までエッチングする工程として、湿法によりエッチングすることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

(III) 前記スピノングラス膜をその途中までエッチングする工程として、ドライエッチング法によ

りエッチングすることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

3. 発明の詳細な説明

(発明の目的)

(産業上の利用分野)

本発明は、半導体装置の製造方法に係わり、特に多層配線における層間接続孔での配線の信頼性を向上させた半導体装置の製造方法に関する。

(従来の技術)

従来、多層配線の層間絶縁膜としては、第2図に示す如く、CVD法又はスパッタ法等により堆積する絶縁膜24、26及び平坦化用中間膜として回転塗布により形成するスピノングラス膜(以下SOG膜と略記する)25を用いた3層構造のものが知られている。なお、第2図中21はシリコン基板、22はシリコン酸化膜、23は下層配線、28はコンタクトホール、29は上層配線を示している。

しかしながら、この種の3層構造にあっては次のような問題があった。即ち、下層と上層との配

図面23、29を接続するためのコンタクトホール28の側壁部30でSOG膜25と上層の配線層29とが接触する。SOG膜25は、例えばシラノール $\text{Si}(\text{OH})_4$ を主成分としたものをアルコール類に溶解させたものを塗布し、さらに熱処理により形成するため、膜中にOH基が残存する。さらに、一般的に不純物として、塩(P)やボロン(B)が添加されている。このため、SOG膜25と配線層29とが接触する場合、配線層が腐蝕すると言う問題があった。

特に、配線層29がアルミニウム及びその合金の場合、この腐蝕は顕著であり、第2図に示したように、腐蝕部30は配線の信頼性を著しく低下させ、極端な場合、配線を腐蝕させることになる。

(発明が解決しようとする問題点)

このように従来方法では、平坦化のために用いるSOG膜と配線層とがコンタクトホールで接触しており、この接触により配線層が腐蝕するため、配線の信頼性が乏しいものであった。

本発明は上記問題を考慮してなされたもので、

第1の絶縁膜を選択的にエッチングしてコンタクトホールを形成するようにした方法である。

(作用)

上記の方法であれば、下地配線層上のSOG膜が予め除去されることになるので、絶縁膜にコンタクトホールを形成しても該コンタクトホール内にSOG膜が露出することはない。従って、配線層とSOG膜との接触が生じることはなく、配線層の腐蝕等を防止することが可能となる。

(実施例)

以下、本発明の詳細を図示の実施例によって説明する。

第1図(a)～(f)は本発明の一実施例方法に係わる半導体装置の製造工程を示す断面図である。まず、第1図(a)に示す如くシリコン基板11上に、例えば熱酸化膜12を形成したのち、例えばアルミニウム膜からなる厚さ $\sim 0.8\mu\text{m}$ の第1の配線層13を形成した。続いて、例えば SiH_4 と N_2O とを反応ガスとしたプラズマCVD法により、300℃の形成温度で第1の絶縁

その目的とするところは、多層配線の層間膜底部での配線膜とSOG膜との接触部分をなくすことのでき、配線の信頼性向上及び素子製造歩留りの向上をはかり得る半導体装置の製造方法を提供することにある。

(発明の構成)

(問題点を解決するための手段)

本発明の要子は、3層構造を有する絶縁膜の中層膜である平坦化用のSOG膜が、層間膜研孔(コンタクトホール)の側壁に存在しないようにすることにある。

即ち本発明は、多層配線を有する半導体装置の製造方法において、配線層が形成された半導体基板上に第1の絶縁膜を形成したのち、この第1の絶縁膜上にスピノングラス膜を塗布してその表面を平坦化し、次いで前記配線層上の前記第1の絶縁膜が露出するまで上記スピノングラス膜をその途中までエッチングし、次いで前記第1の絶縁膜及びスピノングラス膜上に第2の絶縁膜を形成し、しかるのち前記配線層上の前記第2及び

膜として厚さ $0.5\mu\text{m}$ の酸化シリコン膜14を堆積し、さらにこの上にSOG膜15を回転塗布により形成し、450℃で硬化させた。ここで、SOG膜15の膜厚は、配線層13上で $0.1\mu\text{m}$ 、配線層13間ではなだらかに厚れ込んでおり、配線層13の間隔により異なっている。

次いで、例えば希酸溶液($\text{H}_2\text{O}:\text{HF}=200:1$)により60秒のエッチングを行い、SOG膜15をその途中までエッチングした。これにより、第1図(b)に示す如く、アルミニウム配線層13上の酸化シリコン膜14の表面が露出し、配線層13間にはSOG膜15が残った状態となる。

次いで、例えば SiH_4 と N_2O とを反応ガスとしたプラズマCVD法により、第1図(c)に示す如く第2の絶縁膜として厚さ $0.5\mu\text{m}$ の酸化シリコン膜16を全面に堆積した。その後、第1図(d)に示す如くレジストを全面に塗布し、コンタクトホールを形成するために、レジストマスク17を形成した。

次いで、例えば CF_4 と H_2 とをエッチングガスとした反応性イオンエッチング法により、第1図(8)に示す如く、酸化シリコン膜16、14を選択的にエッチングしてコンタクトホール18を形成し、その後レジストマスク17を除去した。この状態で、コンタクトホール18内にはSOG膜15は露出していない。

次いで、第1図(9)に示す如く、例えばアルミニウム膜からなる厚さ $0.6\mu m$ の第2の配線層19を形成した。この状態では、SOG膜15がコンタクトホール18内に露出しておらず、SOG膜15と配線層19との接触もないので、配線層19の腐蝕は全く起こらなくなった。

かくして本実施例方法によれば、平坦化のために用いたSOG膜15を第1の配線層13上の第1の絶縁膜14が露出するまで全面エッチングしているので、第1の配線層13上にはSOG膜15は存在しなくなる。このため、第1の配線層13上の絶縁膜14、16にコンタクトホール18を形成しても、この部分で配線層SOG膜

15と配線層19とが接触することはない。従って、配線層19の腐蝕を未然に防止することができ、配線の信頼性向上をはかり得、さらに素子型造歩留りの向上をもはかり得る。また、SOG膜15と配線層19との接触がなくなることから、SOG膜15に対する材料選択の自由度が増す等の利点もある。

なお、本発明は上述した実施例方法に限定されるものではない。例えば、前記SOG膜をエッチングする工程としては、希薄液溶液等によるウェットエッチングに限るものではなく、反応性イオンエッチング法やケミカルドライエッチング法等のドライエッチングでも同様の効果が見られる。さらに、SOG膜については、その成分や濃度、蒸気圧条件等において何等制限されるものではない。

また、第1及び第2の絶縁膜としては、プラズマCVD法による酸化シリコンに限らず、プラズマCVD法による窒化シリコン膜、減圧CVD法による酸化シリコン膜でもよく、さらにリンやボ

ロン等を添加した酸化シリコン膜であってもよい。さらに、第1及び第2の絶縁膜の厚さについても、実施例で示した $\sim 0.5\mu m$ に何等限定されるものではなく、SOG膜がそれらの間に存在すればよい。

また、配線層の材料はアルミニウム膜に限るものではなく、アルミニウムと他の金属との合金や、モリブデン、タングステン、白金、金等の金属、それらの化合物、さらに多結晶シリコン膜であってもよい。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【発明の効果】

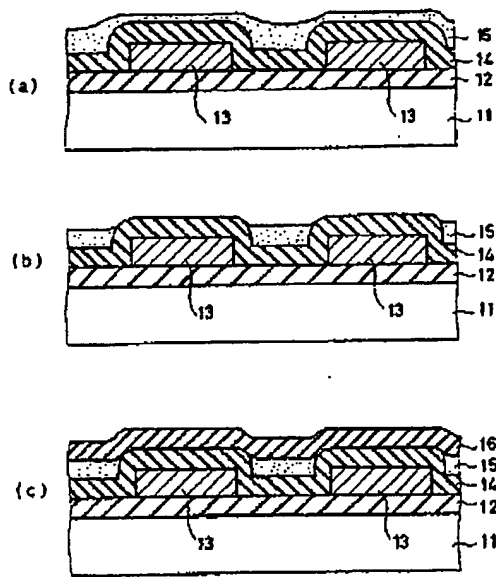
以上詳述したように本発明によれば、第2の絶縁膜形成の前工程として、SOG膜を第1の絶縁膜の一部が露出するまでエッチングしておくことにより、SOG膜と配線層との接触を未然に防止することができる。従って、配線層の腐蝕が生じることはなく、高信頼性で高歩留りの半導体装置を実現することが可能となる。

4. 図面の簡単な説明

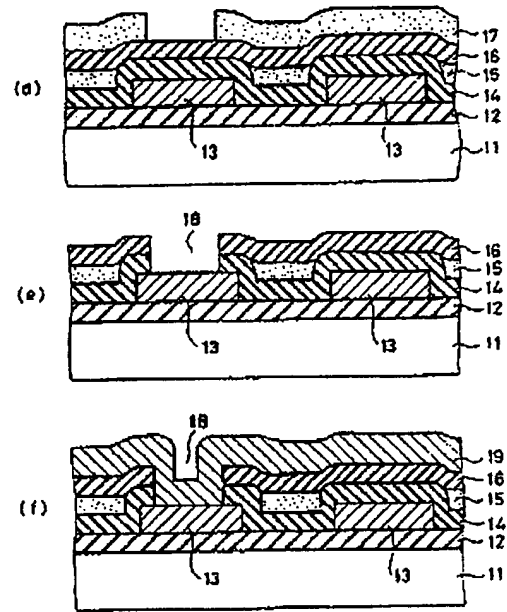
第1図(8)～(9)は本発明の一実施例方法に係わる半導体装置の製造工程を示す断面図、第2図は従来の問題点を説明するための断面図である。

11…シリコン基板、12…熱酸化膜、13…第1の配線層、14…第1の絶縁膜、15…SOG膜、16…第2の絶縁膜、17…レジストマスク、18…コンタクトホール、19…第2の配線層。

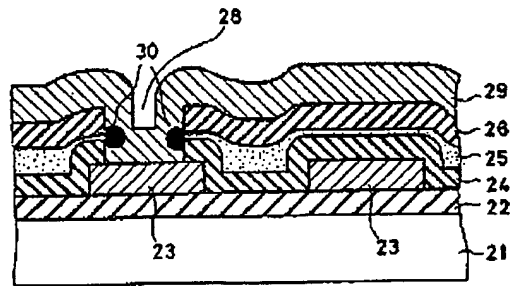
出願人代理人 弁理士 杉江武雄



第 1 図



第 1 図



第 2 図